

PAT-NO: JP405326841A  
DOCUMENT-IDENTIFIER: JP 05326841 A  
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE  
PUBN-DATE: December 10, 1993

INVENTOR-INFORMATION:

NAME COUNTRY  
TAKAHASHI, SEIICHI

ASSIGNEE-INFORMATION:

NAME COUNTRY  
NEC CORP N/A

APPL-NO: JP04157466

APPL-DATE: May 25, 1992

INT-CL (IPC): H01L027/04 , H01L027/092

ABSTRACT:

PURPOSE: To prevent an increase in the number of photolithography processes and to improve the accuracy of the manufacture of a film thickness by a method wherein the formation of an N-type high-concentration region and a selective oxidation of a capacitor film are performed by the photolithography process of one time using a nitride film.

CONSTITUTION: An oxide film 105 is formed and thereafter, a silicon nitride film 106 is grown. After that, the film 106 located at a capacitor formation region is etched using a photoresist 107 as a mask. Subsequently, an N-type high-concentration region 108 is formed at the capacitor formation region. Moreover, the gate oxide film 105 located at the capacitor formation region is etched. Then, after the photoresist is removed, a capacitor oxide film 109 is formed. At this time, as the film 106 works as a masking material for oxidation resistance, the film thickness of the gate oxide film 105 of a CMOS transistor part is not changed. Then, a gate electrode 110, a capacitor upper electrode 110' and N+ and P+ source and drain regions 11 and 112 are formed. Lastly, an inter-layer insulating film 113 is formed and metallic wirings 114 are annexed.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-326841

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 27/04	C	8427-4M		
27/092				
	9054-4M		H 01 L 27/08	3 2 1 Z
	9054-4M			3 2 1 N

審査請求 未請求 請求項の数1(全4頁)

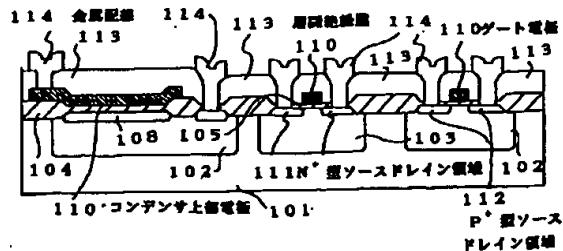
(21)出願番号	特願平4-157466	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成4年(1992)5月25日	(72)発明者	高橋 誠一 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	弁理士 菅野 中

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 同一半導体基板上に、膜厚の異なるMOSトランジスタのゲート酸化膜とMOS型コンデンサの容量酸化膜を形成する際、フォトリソグラフィ工程の増加を伴わず、かつ膜厚の製造精度を向上させる。

【構成】 ゲート酸化膜105を形成後、窒化シリコン膜106を成長し、コンデンサ下部のN型高濃度領域108形成のためのフォトリソグラフィ工程をもって、コンデンサ部の窒化膜およびゲート酸化膜を除去する。フォトレス107を剥離後、熱酸化を行ってコンデンサの容量酸化膜109を形成する。このときトランジスタ部は窒化膜が耐酸化材として働くため、ゲート酸化膜の膜厚は変わらない。このようにゲート酸化膜と容量酸化膜を独立して形成するため、膜厚の製造精度は低下せず、またフォトリソグラフィ工程の増加も伴わないで行うことができる。



1

## 【特許請求の範囲】

【請求項1】 同一基板上に膜厚の異なるゲート酸化膜と容量酸化膜とを形成するCMOSあるいはBi-CMOS集積回路の製造方法において、  
ゲート酸化膜を形成した後、塗化膜を形成する工程と、  
フォトリソグラフィ工程によりコンデンサ形成領域の塗化膜を除去し、さらにその部分のゲート酸化膜を除去する工程と、  
前記塗化膜を耐酸化用のマスクとして用い、コンデンサ形成領域のみ所望の厚さの酸化膜を形成する工程と、  
前記塗化膜を除去する工程とを有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に関し、特にMOS型コンデンサを混載するCMOSおよびBi-CMOS集積回路の製造方法に関する。

## 【0002】

【従来の技術】従来のBi-CMOS集積回路(IGC)中にMOS型コンデンサを混載する場合には、ゲート酸化膜を容量膜として用いることにより、工程の増加を伴うことなく、コンデンサを形成することができていた。

【0003】一方、IGCの高集積化が進むにつれ、スケーリング則に基いてゲート酸化膜は薄化てきており、CMOS回路の電源電圧は5Vから3.3Vへ下がろうとしている。例えば、Bi-CMOS IGCではCMOS部は5V系、バイポーラ部は9V系あるいは12V系といったように使用されることがあり、バイポーラ部にMOS型コンデンサを用いる場合には、その電源電圧に見合った絶縁耐圧および信頼性を保障する必要がある。

【0004】ゲート酸化膜が200Å以下と薄くなってくると、これを容量膜とした場合、9V系や12V系では5MV/cm以上の電界がかかることになり、信頼性を保障できなくなってしまう。そこで、容量膜をゲート絶縁膜と別形成で厚くする必要が生じる。

【0005】図5～図9により容量膜を厚くする従来の技術をCMOS集積回路の製造方法に則って説明する。

【0006】まず図5に示すようにP+型シリコン基板201を用意し、N型ウェル領域202およびP型ウェル領域203を形成した後、素子間分離酸化膜204を形成する。さらに素子形成領域表面を約3000Å摂性酸化する。

【0007】次に図6に示すようにMOSコンデンサの容量値のバイアス電圧依存性を低減する目的でフォトレジスト206をマスクとしてコンデンサ形成領域に加速エネルギー70keV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ 程度のリンのイオン注入を行ってN型高濃度層207を形成する。

【0008】次に図7に示すように、フォトレジスト206を除去し、摂性酸化膜205をエッチングした後、

2

{(所望の容量酸化膜厚)-(ゲート酸化膜厚)}の厚さをもつ酸化膜208を熱酸化により形成する。

【0009】さらにフォトレジスト209をマスクとしてCMOSトランジスタ部の酸化膜208を稀フッ酸にてエッチング除去する。最後にフォトレジスト208を除去した後、再び熱酸化してCMOSトランジスタ部に所望の膜厚(例えば150Å)のゲート酸化膜210を形成する。このときコンデンサ部の酸化膜208はさらに酸化が進行して所望の膜厚になっている(図8)。

10 【0010】最後に図9に示すようにCMOSトランジスタのゲート電極211およびコンデンサの上部電極211'を多結晶シリコン層で形成し、さらにN+型およびP+型ソースドレイン領域212, 213を形成して、薄いゲート酸化膜のCMOSトランジスタとゲート酸化膜より膜厚の厚い容量膜のコンデンサを得ていた。

## 【0011】

【発明が解決しようとする課題】従来のゲート酸化膜より膜厚の厚い容量膜を形成する方法では、予め所望の容量膜厚からゲート酸化膜厚を差し引いた膜厚の酸化膜を形成しておき、CMOSトランジスタ部のみ選択的にこの酸化膜を除去した後、ゲート酸化膜厚の分だけさらに熱酸化するという方法をとっており、酸化膜の選択除去のためフォトリソグラフィ工程が一回分増加している。また、2度の酸化工程により容量膜の膜厚が決まるため、製造の精度が悪い。

【0012】本発明の目的は、フォトリソグラフィ工程の増加を伴わず、かつ膜厚の製造精度を向上させる半導体装置の製造方法を提供することにある。

## 【0013】

【課題を解決するための手段】前記目的を達成するため、本発明に係る半導体装置の製造方法は、同一基板上に膜厚の異なるゲート酸化膜と容量酸化膜とを形成するCMOSあるいはBi-CMOS集積回路の製造方法において、ゲート酸化膜を形成した後、塗化膜を形成する工程と、フォトリソグラフィ工程によりコンデンサ形成領域の塗化膜を除去し、さらにその部分のゲート酸化膜を除去する工程と、前記塗化膜を耐酸化用のマスクとして用い、コンデンサ形成領域のみ所望の厚さの酸化膜を形成する工程と、前記塗化膜を除去する工程とを有するものである。

## 【0014】

【作用】同一基板上に膜厚の異なるゲート酸化膜と容量酸化膜を形成するCMOSあるいはBi-CMOS集積回路の製造方法において、ゲート酸化膜を形成した後、塗化膜を形成し、フォトリソグラフィ工程によりコンデンサ形成領域の塗化膜を除去し、さらにその部分のゲート酸化膜を除去し、前記塗化膜を耐酸化用のマスクとして用い、コンデンサ形成領域のみ所望の厚さの酸化膜を形成し、前記塗化膜を除去する。

50 【0015】

【実施例】次に、本発明について図面を参照して説明する。図1～図4は、本発明の一実施例を示す工程断面図である。図において、本実施例では、薄いゲート酸化膜のCMOSトランジスタと厚い容量酸化膜のコンデンサとを同じシリコン基板上に形成する場合について説明し、バイポーラトランジスタの形成工程については割愛する。

【0016】まず図1に示すようにP-型シリコン基板101を用意し、N型ウェル領域102、P型ウェル領域103を形成した後、選択酸化を行って素子間分離酸化膜104を形成する。

【0017】さらに素子形成領域表面を300Å程度摂性酸化した後、稀フッ酸でこれを除去してから、所望の膜厚、例えば150Å程度のゲート酸化膜105を熱酸化により形成する。

【0018】次に図2に示すように基板表面に塗化シリコン膜106を成長した後、フォトレジスト107をマスクにし、コンデンサ形成領域の塗化膜106をエッチングする。続いて加速エネルギー70keV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ 程度のリンのイオン注入を行ってコンデンサ形成領域にN型高濃度領域108を形成する。このN型高濃度領域108を設けるのは、従来技術で説明したとおりコンデンサの容量値のバイアス電圧依存性を低減するためである。さらに、稀フッ酸を用いてコンデンサ形成領域のゲート酸化膜105をエッチングする。

【0019】次に図3に示すように、フォトレジスト107を除去した後、所望の膜厚、例えば280Åの容量酸化膜109を熱酸化により形成する。このとき、塗化膜106が耐酸化用のマスク材として働くために、CMOSトランジスタ部のゲート酸化膜105の膜厚は変わらず、コンデンサ領域のみ厚い酸化膜を形成することが可能である。

【0020】次に図4に示すように、CMOSトランジスタのゲート電極110およびコンデンサの上部電極110'を多結晶シリコンで形成し、さらにN+型およびP+型ソースドレイン領域111、112をイオン注入によって形成する。最後に層間絶縁膜113を形成し、金属配線114を付設して素子を完成する。

【0021】本実施例では容量酸化膜をゲート酸化膜より厚く形成する場合について述べたが、逆に薄い容量膜を形成する場合にも本発明が適用できることは明白である。このときの製造方法は上記の製造方法と同じで、容量酸化膜の膜厚が違うだけである。

【0022】

【発明の効果】以上説明したように本発明は、CMOS

トランジスタのゲート酸化膜の膜厚とMOS型コンデンサの容量膜の膜厚とを違えて形成することが可能であり、容量膜厚を厚くすればコンデンサに高い電圧が加わったとしても信頼性を保障することが可能である。

【0023】半導体プロセスではフォトリソグラフィ工程数が製造工期、製造原価を決定する重要な因子のひとつであるが、本発明では塗化膜を用いることによりN型高濃度領域の形成と容量膜の選択酸化を1回のフォトリソグラフィ工程で行っているため、従来技術に比べ、工期短縮、原価低減がなされている。

【0024】また、従来技術では容量酸化膜の膜厚は、ゲート酸化膜形成前の酸化工程とゲート酸化との二度の酸化によって決まるため、所望の膜厚からはずれたり、ばらつきが大きかったりしてコンデンサの精度を下げる可能性があるが、本発明ではゲート酸化膜と容量酸化膜の形成は独立して行われるため精度が低下するという心配はない。

#### 【図面の簡単な説明】

【図1】本発明の一実施例を示す工程断面図である。

【図2】本発明の一実施例を示す工程断面図である。

【図3】本発明の一実施例を示す工程断面図である。

【図4】本発明の一実施例を示す工程断面図である。

【図5】従来技術を示す工程断面図である。

【図6】従来技術を示す工程断面図である。

【図7】従来技術を示す工程断面図である。

【図8】従来技術を示す工程断面図である。

【図9】従来技術を示す工程断面図である。

#### 【符号の説明】

101, 201 P-型シリコン基板

102, 202 N型ウェル領域

103, 203 P型ウェル領域

104, 204 素子間分離酸化膜

105, 210 ゲート酸化膜

106 塗化シリコン膜

107, 206, 209 フォトレジスト

108, 207 N型高濃度領域

109 容量酸化膜

110, 211 ゲート電極

110', 211' コンデンサ上部電極

111, 212 N+型ソースドレイン領域

112, 213 P+型ソースドレイン領域

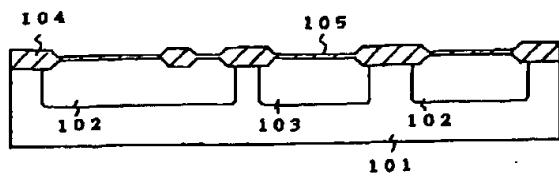
113 層間絶縁膜

114 金属配線

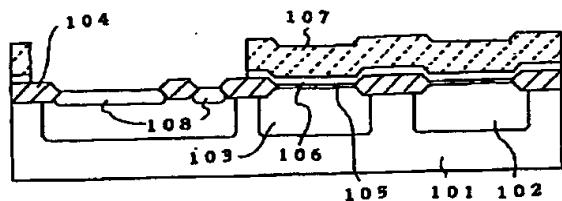
205 摂性酸化膜

208 酸化膜

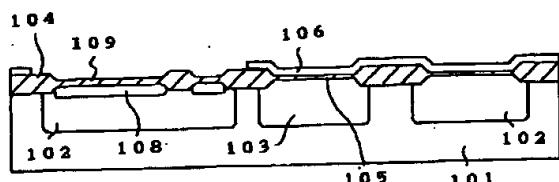
【図1】



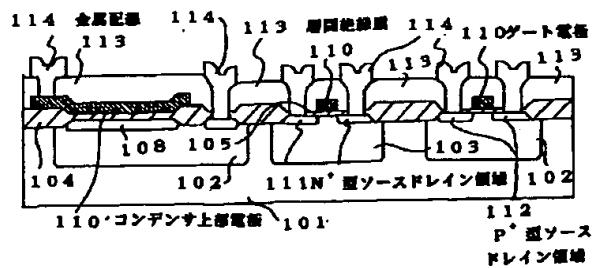
【図2】



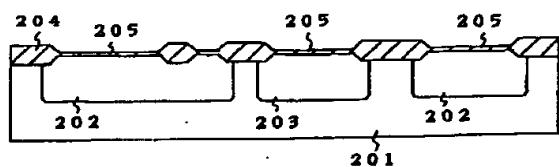
【図3】



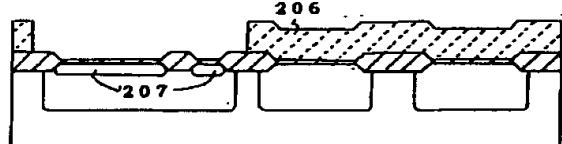
【図4】



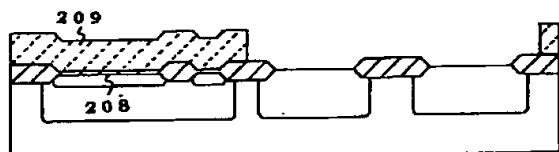
【図5】



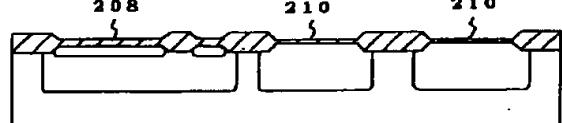
【図6】



【図7】



【図8】



【図9】

